

# DIIC 1<sup>ère</sup> année

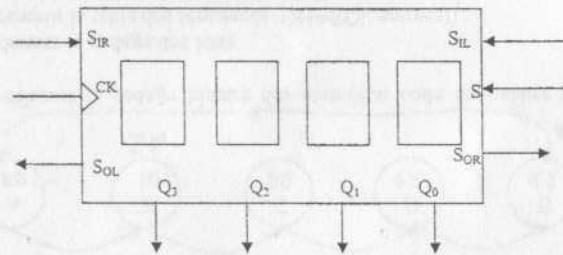
## Examen ARC1

Mercredi 26 janvier 2005 - Durée 3h  
Documents non autorisés

### Exercice 1 : Registre universel (30 min)

Le but de cet exercice est de construire un registre universel de 4 bits à partir de bascules D. Ce registre devra réaliser des tâches de décalage à gauche et à droite, de chargement et des rotations. L'objectif est de donner le schéma du registre permettant le décalage selon le signal de commande S ( $S=0$  pour un décalage à gauche,  $S=1$  pour un décalage à droite). Les deux entrées supplémentaires  $SI_L$  et  $SI_R$  correspondent aux bits à insérer, les deux sorties  $SO_L$  et  $SO_R$  aux bits "perdus" lors du décalage. Le résultat du décalage est obtenu en sortie sur  $(Q_3 Q_2 Q_1 Q_0)$ .

1. En supposant que les bascules contiennent déjà les données à décaler, donnez les équations de  $D_3, D_2, D_1, D_0$  quand  $S=0$ .
2. Même question quand  $S=1$ .
3. Donner l'équation globale de  $D_3, D_2, D_1, D_0$  en fonction de S.
4. Donner le schéma interne du registre représenté ci-dessous (représentez les entrées et sorties des bascules, ainsi que leurs connexions).



### ♦ Exercice 2 : Multiplication décimale (2h30)

On considère un système (figure 1) réalisant la multiplication de deux mots binaires de 4 bits, l'opérande O ( $O_3 O_2 O_1 O_0$ ) et le multiplicateur M ( $M_3 M_2 M_1 M_0$ ), prenant chacun des valeurs comprises entre 0 et 9 (codage binaire naturel).

Une façon de réaliser la multiplication de O par M consiste à former préalablement dans la machine un certain nombre de multiples de l'opérande O. En général on formera les produits  $X_i$  ( $i = 1, 2, 5, 8$ ) suivants :

$$X_1 = 1 \times O, \quad X_2 = 2 \times O, \quad X_5 = 5 \times O \quad (\text{avec un produit intermédiaire } X_4), \quad \text{et} \quad X_8 = 8 \times O.$$

Les autres produits  $X_3, X_4, X_6, X_7$  et  $X_9$  seront formés à partir des produits  $X_1, X_2, X_5, X_8$  de la façon suivante :

$$X_j = A_j + B_j \quad (j = 3, 4, 6, 7, 9) \quad (1)$$

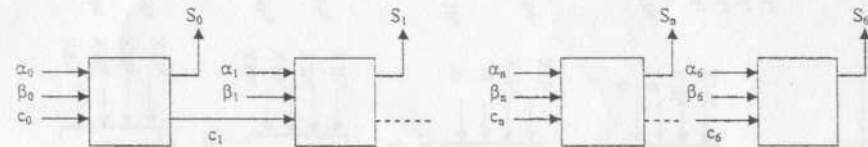
avec

pour $j = 3$	$X_3 = A_3 + B_3$	où	$A_3 = X_1$	$B_3 = X_2$ ,
pour $j = 4$	$X_4 = A_4 + B_4$	où	$A_4 = X_2$	$B_4 = X_2$ ,
pour $j = 6$	$X_6 = A_6 + B_6$	où	$A_6 = X_5$	$B_6 = X_1$ ,
pour $j = 7$	$X_7 = A_7 + B_7$	où	$A_7 = X_5$	$B_7 = X_2$ ,
pour $j = 9$	$X_9 = A_9 + B_9$	où	$A_9 = X_8$	$B_9 = X_1$ .

Les mots binaires correspondant aux produits  $X_k$  ( $k = 0$  à 9) sont exprimés sur 7 bits, et on désigne par  $X_{kb}$ , le  $n^{\text{ème}}$  bit ( $n = 0$  à 6) du produit par  $k$  ( $k = 0$  à 9). Pour réaliser un produit  $X_k$  ( $k = 0$  à 9), on envoie systématiquement les résultats des produits  $X_1, X_2, X_5, X_8$  sur sept multiplexeurs 4 vers 1 ( $Amux_6, \dots, Amux_0$ ) dont les sorties constituent le mot A de 7 bits ( $\alpha_6 \alpha_5 \alpha_4 \alpha_3 \alpha_2 \alpha_1 \alpha_0$ ). Sept autres multiplexeurs 4 vers 1 ( $Bmux_6, \dots, Bmux_0$ ), dont les sorties constituent le mot B de 7 bits ( $\beta_6 \beta_5 \beta_4 \beta_3 \beta_2 \beta_1 \beta_0$ ), reçoivent sur deux de leurs entrées de données les produits  $X_1, X_2$ , et sur les deux autres entrées libres la valeur 0 qui peut être vue comme le résultat d'un produit par 0. Les signaux de sélection des multiplexeurs Amux et Bmux sont notés respectivement  $AM_1, AM_0$ , et  $BM_1, BM_0$ . Lorsque  $k = i = 1, 2, 5, 8$ , on doit sélectionner le produit correspondant sur les multiplexeurs A et sélectionner 0 sur les multiplexeurs B, ce qui nous donne en sortie de l'additionneur :  $P' = X_i + 0$ . Lorsque  $k = j = 3, 4, 6, 7, 9$ , on doit sélectionner les produits indiqués en (1) pour réaliser les additions convenables.

L'opérande O et le multiplicateur M correspondent en fait à la synchronisation des signaux asynchrones O' et M'. De même en sortie de l'additionneur le résultat P' est synchronisé pour donner le résultat P en sortie. L'ordre de multiplication est donné par le signal Mult.

1. Justifier la solution proposée (figure 1) pour la réalisation des produits  $X_8, X_4, X_2, X_1$ .
2. **Circuit C1** : Proposer une solution pour la réalisation du produit  $X_5$  à partir des produits  $X_4$  et  $X_1$  (indiquer uniquement le principe).
3. **Circuit C2** : On considère le schéma classique d'un additionneur, formé par exemple de 7 étages identiques avec propagation en cascade de la retenue (schéma ci-dessous). On considère les variables logiques  $\alpha_n$  (bit n du premier opérande),  $\beta_n$  (bit n du second opérande), et  $C_n$  (retenue prise en compte sur le bit de rang n) comme actives au niveau haut. Etablir les équations d'un étage ( $S_n$  et  $C_{n+1}$ ).



Donner le schéma de réalisation de cet étage à l'aide de portes logiques NAND.

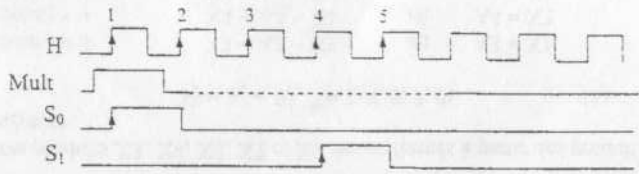
4. Déterminer les équations logiques et réaliser le schéma d'un multiplexeur 4 vers 1.
5. **Circuit C3** : Dresser un tableau récapitulatif qui exprime les entrées à sélectionner sur les multiplexeurs A et B en fonction du produit à réaliser  $X_k$  ( $k = 0$  à 9), c'est à dire en fonction des valeurs de M ( $M_3 M_2 M_1 M_0$ ).

M	M3	M2	M1	M0	N°A	AM1	AM0	N°B	BM1	BM0
0										
1										
9										

Etablir les équations des signaux de sélection  $AM_1, AM_0$ , et  $BM_1, BM_0$ . Réaliser le schéma du circuit combinatoire C3.

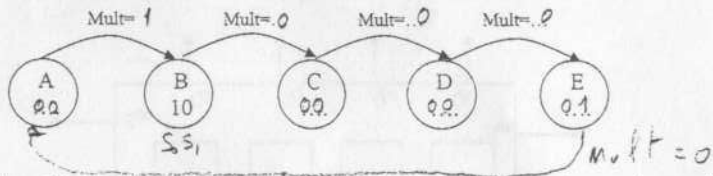
CHAP 10

6. **Circuit C4** : Les signaux de synchronisation  $S_0$  et  $S_1$  sont réalisés à partir du signal d'entrée « Mult » et du signal d'horloge H. Ils sont spécifiés par le chronogramme suivant :



Lorsque Mult a été pris en compte sur un front montant d'horloge numéroté 1, il ne pourra être repris en compte avant le front numéroté 5. Pour faire l'étude du système séquentiel de synchronisation et proposer un schéma utilisant des bascules D, vous répondrez aux questions suivantes :

a) Compléter le graphe des états : attention, il manque des flèches.



b) En utilisant le codage binaire des états (état codé en binaire par les sorties des bascules)

- donner le codage des états
- remplir la table des séquences ( $Q_{i+1} = f(Q_i, \text{entrées})$ )
- en déduire  $D_i$  pour chaque bascule D
- donner l'expression des fonctions de sortie ( $S_0, S_1$ ), et leur schéma de câblage.

c) Répondre aux mêmes questions en utilisant le Codage à 1 bit/état (machine à jeton)

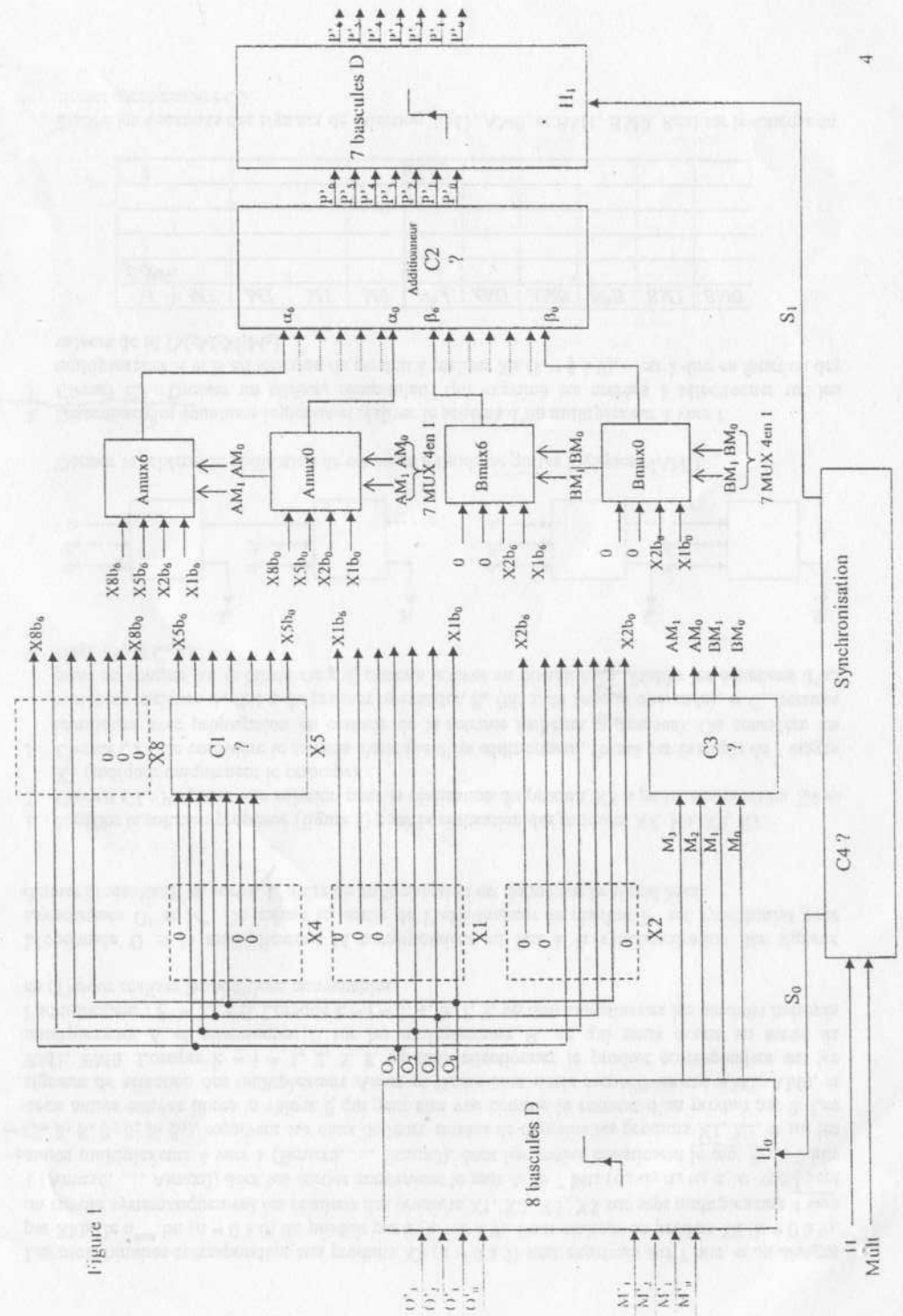


Figure 1

CHAP 10